

PAT-NO: JP409232116A
DOCUMENT-IDENTIFIER: JP 09232116 A
TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF
PUBN-DATE: September 5, 1997

INVENTOR-INFORMATION:

NAME

EDA, KAZUO

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC WORKS LTD

COUNTRY

N/A

APPL-NO: JP08039258

APPL-DATE: February 27, 1996

INT-CL (IPC): H01C017/242, H01L027/01 , H01L027/04 , H01L021/822

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor device which enables adjustment of resistance value without causing any increase in temperature of a resistor and without generating excessive current concentration and microcrack in the resistor due to trimming, and manufacture thereof.

SOLUTION: After an impurity diffusion layer 2 is formed on the surface of a single crystal silicon substrate 1, a silicon oxide film 3 is deposited on the impurity diffusion layer 2 and the single crystal silicon substrate 1. A contact hole is formed in the silicon oxide film 3 on the impurity diffusion layer 2 by photolithography and etching techniques, and a wiring layer 5 is formed in the contact hole 4. Then, the wiring layer 5 is irradiated with laser beams for trimming while the resistance value of a resistance element is measured. The contact resistance value is increased by reducing the contact area between the impurity diffusion layer 2 and the wiring layer 5, so that the resistance value is adjusted to a desired value. Finally, a protective film 6 is formed thereon except for at least part of the wiring layer 5.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-232116

(43)公開日 平成9年(1997)9月5日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 C 17/242			H 0 1 C 17/24	L
H 0 1 L 27/01	3 2 1		H 0 1 L 27/01	3 2 1
27/04			27/04	V
21/822				

審査請求 未請求 請求項の数 2 O L (全 3 頁)

(21)出願番号 特願平8-39258

(22)出願日 平成8年(1996)2月27日

(71)出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72)発明者 江田 和夫

大阪府門真市大字門真1048番地松下電工株式会社内

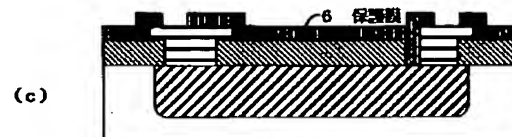
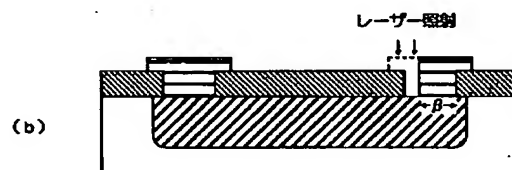
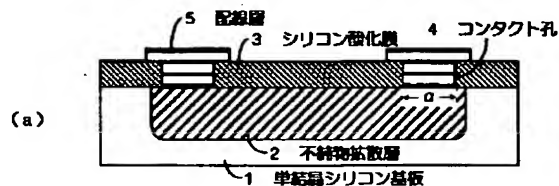
(74)代理人 弁理士 佐藤 成示 (外1名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 抵抗体が温度上昇することなく、かつ、トリミングによる抵抗体における過度の電流集中やマイクロクラックが発生することがなく抵抗値の調整を行うことのできる半導体装置及びその製造方法を提供する。

【解決手段】 単結晶シリコン基板1の表面に不純物拡散層2を形成した後、不純物拡散層2上及び単結晶シリコン基板1上にシリコン酸化膜3を堆積し、不純物拡散層2上のシリコン酸化膜3にフォトリソグラフィ技術及びエッチング技術を用いてコンタクト孔4を形成し、コンタクト孔4に配線層5を形成することにより抵抗素子を製造する。そして、抵抗素子の抵抗値を測定しながら配線層5にレーザーを照射してトリミングを行い、不純物拡散層2と配線層5とのコンタクト面積を減少させることによりコンタクト抵抗値を増加させ、所望の抵抗値になるように調整する。最後に、配線層5の少なくとも一部を除いて保護膜6を形成する。



【特許請求の範囲】

【請求項1】 抵抗体としての不純物拡散層を表面に有する半導体基板と、該半導体基板の表面上に形成された絶縁膜と、前記不純物拡散層上の前記絶縁膜に形成されたコンタクト孔と、該コンタクト孔内に形成された配線層とを有して成る半導体装置において、前記配線層をトリミングすることで前記不純物拡散層と前記配線層とのコンタクト面積を減少させることにより抵抗値を調整するようにしたことを特徴とする半導体装置。

【請求項2】 半導体基板上に抵抗体としての不純物拡散層を形成した後、前記不純物拡散層が形成された前記半導体基板の面上に絶縁膜を形成し、前記不純物拡散層上の前記絶縁膜に、前記不純物拡散層との接続を行うためのコンタクト孔を形成し、該コンタクト孔に配線層を形成して成る半導体装置の製造方法において、前記配線層をトリミングすることで前記不純物拡散層と前記配線層とのコンタクト面積を減少させることにより抵抗値を調整するようにしたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、抵抗素子を有して成る半導体装置及びその製造方法に関し、特に抵抗素子の抵抗値の調整方法に関するものである。

【0002】

【従来の技術】 図2は、従来例に係る抵抗素子を示す模式図であり、(a)は上面から見た状態を示す略平面図であり、(b)はA-Bでの略断面図である。抵抗素子は、層間絶縁膜としてのシリコン酸化膜3上に抵抗体7が形成され、抵抗体7の両端に配線層5が形成されている。そして、抵抗素子の抵抗値を調整するために、抵抗体7にレーザーを使って切り込み部8を形成（トリミング）することにより抵抗修正を行う。

【0003】

【発明が解決しようとする課題】 ところが、上述のようにレーザーを使ってトリミングを行った場合、レーザーを照射するため抵抗体7自体に発熱が発生し、その温度上昇により抵抗値の調整後に抵抗素子の抵抗値が変化するとともに、抵抗体のトリミングを行った箇所での電流集中が起こったり、マイクロクラックが発生するといった問題があった。

【0004】 本発明は、上記の点に鑑みて成されたものであり、その目的とするところは、抵抗体が温度上昇することなく、かつ、トリミングによる抵抗体における過度の電流集中やマイクロクラックが発生することがなく抵抗値の調整を行うことのできる半導体装置及びその製造方法を提供することにある。

【0005】

【課題を解決するための手段】 請求項1記載の発明は、抵抗体としての不純物拡散層を表面に有する半導体基板

と、該半導体基板の表面上に形成された絶縁膜と、前記不純物拡散層上の前記絶縁膜に形成されたコンタクト孔と、該コンタクト孔内に形成された配線層とを有して成る半導体装置において、前記配線層をトリミングすることで前記不純物拡散層と前記配線層とのコンタクト面積を減少させることにより抵抗値を調整するようにしたことを特徴とするものである。

【0006】 請求項2記載の発明は、半導体基板上に抵抗体としての不純物拡散層を形成した後、前記不純物拡散層が形成された前記半導体基板の面上に絶縁膜を形成し、前記不純物拡散層上の前記絶縁膜に、前記不純物拡散層との接続を行うためのコンタクト孔を形成し、該コンタクト孔に配線層を形成して成る半導体装置の製造方法において、前記配線層をトリミングすることで前記不純物拡散層と前記配線層とのコンタクト面積を減少させることにより抵抗値を調整するようにしたことを特徴とするものである。

【0007】

【発明の実施の形態】 以下、本発明の一実施形態について図面に基づき説明する。図1は、本発明の一実施形態に係る抵抗素子を示す製造工程図である。先ず、単結晶シリコン基板1の表面に抵抗体としての不純物拡散層2を形成し、不純物拡散層2上及び単結晶シリコン基板1の不純物拡散層2が形成された面上にプラズマCVD法等を用いて層間絶縁膜としてのシリコン酸化膜3を堆積し、不純物拡散層2上のシリコン酸化膜3にフォトリソグラフィ技術、エッチング技術を用いてコンタクト孔4を形成する。なお、不純物拡散層2の形成方法の一例としては、ボロン(B)を単結晶シリコン基板1上にイオン注入し、熱拡散を行うことにより形成できる。また、本実施形態においては、コンタクト孔4として1辺の長さが α ($=10\mu\text{m}$) の正方形のものを作成した。更に、本実施形態においては、不純物拡散層2は、予め所望の抵抗値よりも小さな値となるように形成されている。

【0008】 そして、コンタクト孔4に素子間配線用の配線層5を形成することにより抵抗素子を製造する（図1(a)）。なお、配線層5の形成方法の一例としては、ターゲットにアルミニウム(A1)を用いてスパッタリングを行うことによりアルミニウム層を形成し、フォトリソグラフィ技術及びエッチング技術を用いて所定形状にパターニングすることにより形成できる。

【0009】 続いて、抵抗素子の抵抗値を測定しながら配線層5にレーザーを照射してトリミングを行い、不純物拡散層2と配線層5とのコンタクト面積を減少（本実施形態においては、辺の長さ α ($=10\mu\text{m}$) \times β ($=5\mu\text{m}$)）させることによりコンタクト抵抗値を増加（本実施形態においてはトリミングを行う前の抵抗値の2倍になる）させ、所望の抵抗値になるように調整する（図1(b)）。

3

【0010】最後に、シリコン樹脂等を用いて配線層5の少なくとも一部を除いて保護膜6を形成する(図1(c))。

【0011】従って、本実施形態においては、配線層5にレーザートリミングを行うようにし、高温の熱処理を行う必要のないシリコン樹脂等により保護膜6を形成するようにしたので、抵抗体としての不純物拡散層2が温度上昇することがなく、温度上昇に伴う抵抗値の変化を防止することができる。また、配線層5にレーザートリミングを行うので、不純物拡散層2に過度の電流集中やマイクロクラックが発生することがなくなる。

【0012】

【発明の効果】請求項1または請求項2記載の発明は、抵抗体としての不純物拡散層を表面に有する半導体基板と、半導体基板の表面上に形成された絶縁膜と、不純物拡散層上の絶縁膜に形成されたコンタクト孔と、コンタクト孔内に形成された配線層とを有して成る半導体装置における配線層をトリミングすることで不純物拡散層と配線層とのコンタクト面積を減少させるようにしたので、抵抗値を増加させることができ、これにより抵抗値を調整することができ、また、配線層にトリミングを行

4

うようにしたので、抵抗体が温度上昇することなく、かつ、トリミングによる抵抗体における過度の電流集中やマイクロクラックが発生することがなく抵抗値の調整を行うことのできる半導体装置及びその製造方法を提供することができた。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る抵抗素子を示す製造工程図である。

【図2】従来例に係る抵抗素子を示す模式図であり、

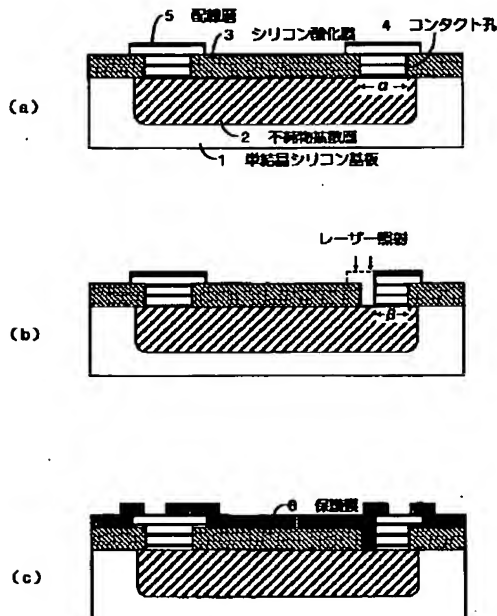
(a)は上面から見た状態を示す略平面図であり、

(b)はA-Bでの略断面図である。

【符号の説明】

- 1 単結晶シリコン基板
- 2 不純物拡散層
- 3 シリコン酸化膜
- 4 コンタクト孔
- 5 配線層
- 6 保護膜
- 7 抵抗体
- 8 切り込み部

【図1】



【図2】

